

## Aktywna metoda kontroli rozkładu napięć na szeregowo połączonych tranzystorach SiC MOSFET w łączniku 3,3 kV

**Streszczenie.** Niniejszy artykuł omawia aktywną metodę kompensacji nierównomiernego rozkładu napięć na szeregowo połączonych tranzystorach łącznika energoelektronicznego średniego napięcia, zbudowanego z wykorzystaniem modułów SiC MOSFET o napięciu przebicia 1,7 kV. Dzięki pomiarom napięć oraz odpowiedniemu opóźnieniu sygnałów sterujących można wyrównać napięcia na tranzystorach nie zwiększając czasów przełączania i energii wytracanych w tranzystorach. Artykuł ilustruje wyniki badań symulacyjnych i eksperymentalnych opracowanego łącznika przy napięciu 1,5 kV i prądzie 150 A.

**Abstract.** These paper presents active voltage balancing method of series connected transistors in medium voltage power switch, built of 1,7 kV SiC MOSFET modules. By measuring appropriate voltages in the power circuit and delaying the gate signals, it is possible to provide equal voltage sharing between transistors, without increasing the switching times and losses. The article illustrates the results of simulation study and laboratory experiments of developed power switch at 1,5 kV and 150 A (**Active voltage balancing of series connected SiC MOSFETs in 3,3 kV power switch**).

**Słowa kluczowe:** SiC MOSFET, szeregowo łączenie, aktywne wyrównywanie napięć.

**Keywords:** SiC MOSFET, series-connection, active voltage sharing.

### Wprowadzenie

Nowe technologie produkcji półprzewodników z węgla krzemu (SiC) umożliwiają wytwarzanie tranzystorów, diod oraz modułów mocy o klasach napięciowych przewyższających 1,7 kV [1, 2]. Dzięki temu możliwe staje się przetwarzanie średnich napięć (>1 kV) z wyższą częstotliwością oraz sprawnością w porównaniu z dominującymi obecnie elementami krzemowymi. W tym kierunku zmiernają najnowsze trendy w energoelektronice [3-5]. Wysokonapięciowe przyrządy mocy pozwalają na rozwój sieci przesyłowych i dystrybucyjnych napięcia stałego, które charakteryzują się lepszymi parametrami i wydajnością w porównaniu z analogicznymi sieciami napięcia przemienne [6, 7]. Ponadto, dzięki komponentom półprzewodnikowym mocy z węgla krzemu o wysokich klasach napięciowych, możliwe będzie ich wykorzystanie w energetyce, tj. np. integracja różnych systemów energetycznych, wykorzystanie energii ze źródeł odnawialnych czy też stosowanie filtrów aktywnych co zapewni większą sprawność przekształcania energii niż obecnie, z wykorzystaniem komponentów krzemowych. Innymi zastosowaniami mogą być przekształtniki trakcyjne czy też inteligentne sieci, których nieodłącznymi elementami są układy przekształtnikowe, w tym transformatory półprzewodnikowe (ang. solid-state transformers) [8, 9].

Dotychczas przekształcanie energii w obszarze średnich napięć odbywało się przy wykorzystaniu tyrystorów wyłączalnych komutowanych bramką (GCT) [10] lub tranzystorów IGBT o wysokich klasach napięciowych [11]. W przypadku tyrystorów problematyczne jest ich wyłączenie, gdyż aby je wyłączyć należy zapewnić przepływ znacznego prądu chwilowego w obwodzie bramkowym. Tranzystory IGBT charakteryzują się znacznymi stratami mocy przewodzenia, a wysokie energie łączeniowe ograniczają częstotliwości pracy do kilku kHz.

Lepsze parametry (krótsze czasy łączeniowe, mniejsze energie łączeniowe i straty przewodzenia), przez co wyższe dostępne częstotliwości łączeniowe i sprawności, a także proste sterowanie sprawiają, że tranzystory MOSFET wykonane z węgla krzemu zdają się być najbardziej odpowiednie do przekształcania energii w obszarze średnich napięć. Obecnie na rynku tranzystory SiC MOSFET o klasie napięciowej >1,7 kV są bardzo trudno dostępne, ponadto koszty modułów tranzystorowych, o maksymalnym dopuszczalnym napięciu blokowania

wynoszącym 3,3 kV są wielokrotnie wyższe od modułów Si IGBT o takim samym napięciu przebicia. Jednakże początkowe badania [12, 13] potwierdzają możliwości ich wykorzystania do przetwarzania średnich napięć.

Innym rozwiązaniem stosowanym w przetwarzaniu energii w obszarze średnich napięć jest szeregowo łączenie tranzystorów SiC MOSFET [14-16]. W ten sposób można znacząco obniżyć koszty komponentów półprzewodnikowych – cena modułów tranzystorowych, z których można zbudować łącznik o klasie napięciowej 3,3 kV jest dużo niższa. W przypadku szeregowego łączenia tranzystorów niemal zawsze wymagane są dodatkowe obwody kompensacyjne, które wyrównują napięcia na łącznikach [17]. Spowodowane jest to m.in. różnymi pojemnościami bramkowymi tranzystorów, innymi czasami propagacji w obwodach sterowania, czy też różnymi pojemnościami doziemnymi poszczególnych tranzystorów oraz różnymi stromościami napięć na tych pojemnościach [18]. Główny podział układów kompensacyjnych obejmuje obwody pasywne i aktywne. Wykorzystując odpowiednio połączone diody, kondensator i rezystory (tzw. obwody odciążające) można stosunkowo łatwo zredukować nierównomierny rozkład napięć na szeregowo połączonych tranzystorach w sposób pasywny. Metody te, poprzez znaczne zwiększenie pojemności równoległych, wydłużają czasy łączeniowe tranzystorów, zwiększając jednocześnie energie łączeniowe. Z kolei metody aktywne, opisane w tym artykule, na ogół nie zwiększają strat łączeniowych jednak ich implementacja jest bardziej skomplikowana.

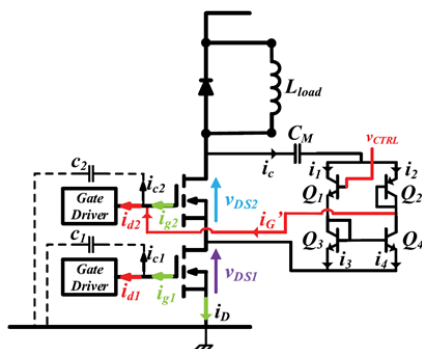
W niniejszym artykule omówiono aktywną metodę wyrównywania napięć na szeregowo połączonych tranzystorach w module CAS300M17BM2 ( $U_{DSmax} = 1,7$  kV,  $I_D = 325$  A), która pozwoliła uzyskać łącznik SiC MOSFET o klasie napięciowej 3,3 kV. W dalszej części przedstawiono krótki przegląd aktywnych metod wyrównywania napięć na szeregowo połączonych tranzystorach, po czym opisano zasadę działania zaproponowanej metody. Następnie omówiono najważniejsze wyniki z badań symulacyjnych, budowę układu laboratoryjnego oraz zarejestrowane przebiegi eksperymentalne. Ostatni podrozdział zawiera podsumowanie i dalsze kierunki prac.

### Aktywne metody wyrównywania napięć na szeregowo połączonych tranzystorach

W literaturze, dla szeregowo połączonych tranzystorów IGBT można znaleźć wiele metod kompensacji

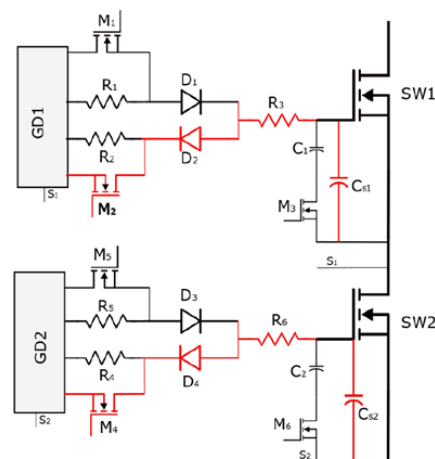
nierównomiernego rozkładu napięć na poszczególnych tranzystorach [17]. W przypadku wysokonapięciowych tranzystorów SiC MOSFET, czasy łączeniowe są rzędu dziesiątych lub nawet setnych części mikrosekundy. W związku z tym metody kompensacji nierównomiernego rozkładu napięć wymagają bardzo szybkich układów regulacji. Wszystkie wymienione poniżej aktywne metody wyrównywania napięć na szeregowo połączonych tranzystorach SiC MOSFET działają w pętli zamkniętej [19-23].

W [19] wykorzystano dodatkowy kondensator dołączony przez lustro prądowe do tranzystora mocy (rysunek 1). Prąd pomocniczego kondensatora (prąd Millera) dodawany jest do prądu bramkowego odpowiadającego mu tranzystora MOSFET, dzięki czemu spowalniane jest jego wyłączenie. Pomiar napięcia  $u_{DS}$  jest, przy pomocy regulatora PI, zamieniany na sygnał sterujący tranzystorami lustra prądowego dzięki czemu uzyskuje się pożądane opóźnienie wyłączenia elementu półprzewodnikowego. Rozwiązanie to pozwala sprowadzić uchyb w stanie ustalonym (różnicę napięć na tranzystorach) niemal do zera. Układ regulacji jest jednak dość skomplikowany i zwiększa całkowite straty łączeniowe o ok. 7,5% [19]. Dodatkowo, przyjęto założenie, że ze względu na największe stromości napięć, zawsze tranzystor dołączony drenem do dodatniego bieguna zasilania będzie przełączał najszybciej, przez co odkładać się będzie na nim najwyższe napięcie. W przypadku, gdy opóźnienia sygnałów sterujących wymuszają wyższe napięcie na tranzystorze dołączonym źródłem do ujemnego bieguna zasilania, układ regulacji nie będzie w stanie wyrównać napięć na tranzystorach.



Rys.1. Schemat aktywnej metody wyrównywania napięć na szeregowo połączonych tranzystorach z wykorzystaniem dodatkowego kondensatora i lustra prądowego [19]

W [20] zaproponowano regulację napięć na szeregowo połączonych tranzystorach SiC MOSFET poprzez odpowiednie sterowanie tranzystora pomocniczego w obwodzie bramkowym, który umożliwia zmianę rezystancji bramkowej podczas wyłączania tranzystorów. Zależnie od stanu sygnału bramkowego tranzystora pomocniczego dostępne są dwie wartości rezystora bramkowego podczas wyłączania. Na podstawie pomiaru napięć na tranzystorach mocy, iteracyjnie zmieniana jest chwila czasowa, w której zmienia się rezystancja bramkowa, a przez to czas wyłączania poszczególnych tranzystorów. Układ regulacji działa do momentu, w którym różnica napięć pomiędzy wartościami założonymi i zmierzonymi będzie mniejsza od zadanej. Przedstawione rozwiązanie wymaga dodatkowej weryfikacji eksperymentalnej, gdyż krytycznym parametrem w tej metodzie regulacji jest precyzyjne określenie czasu zmiany rezystancji bramkowej, co w rzeczywistym przypadku może być trudne do osiągnięcia. Podobne rozwiązanie zaproponowano w [21] (rysunek 2) jednak pierwsze testy eksperymentalne zdają się potwierdzać trudność realizacji praktycznej tej koncepcji – uchyb ustalony wynosi 200 V przy napięciu zasilania równym 1200 V.



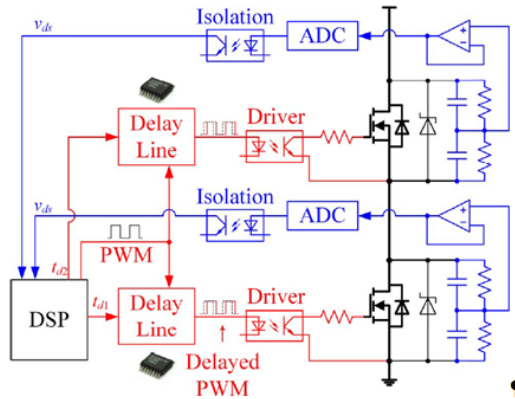
Rys.2. Schemat aktywnej metody wyrównywania napięć na szeregowo połączonych tranzystorach poprzez zmianę rezystancji bramkowej [21]

Aktywne metody zaprezentowane w [22, 23] wykorzystują opóźnienia sygnałów bramkowych w celu kompensacji rozkładu napięć na szeregowo połączonych tranzystorach SiC MOSFET (rysunek 3). Na podstawie pomiaru napięć  $u_{DS}$  obliczany jest sygnał błędny, który przy użyciu regulatora PI, zamieniany jest na odpowiedni czas opóźnienia sygnałów bramkowych odpowiadających tranzystorów w obwodzie mocy. Opóźnienia realizowane są przez programowalny układ scalony [22] bądź modulator PWM o wysokiej rozdzielczości wbudowany w procesor sygnałowy [23]. Metoda ta pozwala na niemal idealny rozkład napięć na szeregowo połączonych tranzystorach oraz nie zmienia czasów łączeniowych półprzewodników, przez co nie zwiększa strat łączeniowych. Dodatkowo, w porównaniu z metodami [19-21] realizacja praktyczna jest prostsza, jednak weryfikacja eksperymentalna metody została dotychczas przeprowadzona dla niskich napięć i mocy – 800 V<sub>(DC)</sub>/4 A [22] lub 500 V<sub>(DC)</sub>/50 A [23], co podważa jej użyteczność przy układach o wyższych parametrach.

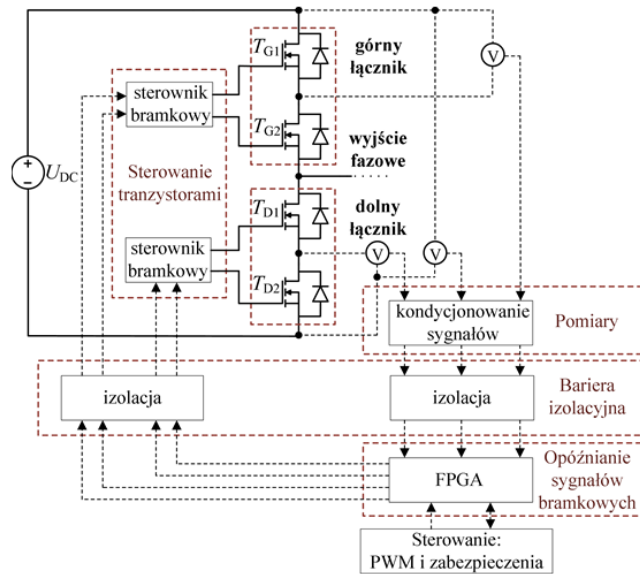
#### Aktywna kontrola opóźnień sygnałów bramkowych

Na podstawie metod opisanych w literaturze [19-23] zmodyfikowano aktywną metodę wyrównywania napięć na szeregowo połączonych tranzystorach, która wykorzystuje opóźnienie odpowiednich sygnałów sterujących. Schemat blokowy opisywanej metody dla jednej gałęzi falownika przedstawiono na rysunku 4. Łączniki gałęzi tworzone są przez tranzystory, odpowiednio:  $T_{G1}$  i  $T_{G2}$  (górny łącznik) oraz  $T_{D1}$  i  $T_{D2}$  (dolny łącznik). Pomiar napięć dren-źródło dokonywane są na tranzystorach  $T_{G1}$  oraz  $T_{D2}$  ze względu na dogodność ich realizacji w układzie rzeczywistym. Wszystkie pomiary ( $u_{DS}$ ,  $U_{DC}$ ) wykonywane są w stanie ustalonym, gdy tranzystory są wyłączone – wtedy można uzyskać informację o nierównomierności rozkładu napięć. Następnie, zmierzone wartości napięć na tranzystorach oraz napięcie  $U_{DC}$ , po wcześniejszym kondycjonowaniu i odizolowaniu od obwodu mocy, są dostarczane do szybkiego, programowalnego układu logicznego FPGA, który odpowiada za obliczanie i realizację opóźnienia poszczególnych sygnałów sterujących. Znacząc napięcie  $U_{DC}$ , można w prosty sposób obliczyć daną wartość napięcia na każdym tranzystorze. Odejmując od wartości referencyjnej zmierzoną wartość napięcia otrzymuje się uchyb, który przy pomocy regulatora PI zamieniany jest na zadane wartości opóźnień odpowiednich sygnałów bramkowych w kolejnym okresie przełączeń. W przypadku dolnego łącznika, ze względu na założone układy pomiarowe, jeśli uchyb jest dodatni (mniejsze napięcie na

$T_{D2}$  niż  $T_{D1}$ ) oznacza to, iż tranzystor  $T_{D1}$  przełącza się szybciej niż  $T_{D2}$  i należy opóźnić jego sygnał sterujący. Gdy uchyb jest ujemny należy opóźnić sygnał sterujący tranzystorem  $T_{D2}$ . Dla górnego łącznika zachodzi odwrotna zależność – w przypadku dodatniego uchybu należy opóźnić sygnał sterujący tranzystorem  $T_{G2}$ , a w przypadku ujemnego uchybu tranzystorem  $T_{G1}$ . Odpowiednio opóźnione sygnały sterujące są następnie przesyłane przez barierę izolacyjną do układów wykonawczych, które wymuszają właściwe napięcia na bramkach tranzystorów mocy.



Rys.3. Schemat aktywnej metody wyrównywania napięć na szeregowo połączonych tranzystorach poprzez opóźnienie sygnałów bramkowych [22]



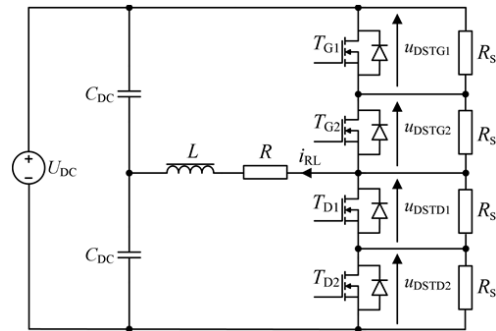
Rys.4. Schemat blokowy zaproponowanej aktywnej metody wyrównywania napięć na szeregowo połączonych tranzystorach SiC MOSFET

Tabela 1. Parametry obwodu symulacyjnego w środowisku Saber

Parametr	Wartość
$U_{DC}$	1800 [V]
$C_{DC}$	300 [ $\mu$ F]
$L$	110 [ $\mu$ H]
$R$	1 [ $\Omega$ ]
$R_s$	100 [k $\Omega$ ]
$f_s$	10 [kHz]

Wartym zauważenia jest fakt, iż bloki: *Pomiary*, *Bariera izolacyjna*, *Opóźnianie sygnałów bramkowych* oraz *Sterowanie tranzystorami* realizowane są w ramach zintegrowanego sterownika bramkowego (po jednym dla każdego łącznika). W związku z tym, wykorzystując sterownik z zaimplementowaną, opisaną aktywną metodą

wyrównywania napięć na szeregowo połączonych tranzystorach, należy jedynie dostarczyć sygnały sterujące tranzystorami oraz obsłużyć zgłaszane przez sterownik błędy. Zaproponowany układ regulacji, dzięki obecności regulatora PI, jest w stanie wyrównać napięcia na tranzystorach dla dowolnego uchybu, nie wydłuża czasów łączeniowych tranzystorów oraz nie zwiększa energii łączeniowych, a jego zasada działania i implementacja są stosunkowo proste. Co więcej, poprawne działanie całego układu regulacji jest niezależne od wartości napięć i prądów w obwodzie mocy czy też czasów propagacji sygnałów sterujących.



Rys.5. Schemat obwodu symulacyjnego aktywnej metody wyrównywania napięć na szeregowo połączonych tranzystorach w topologii półmostkowej

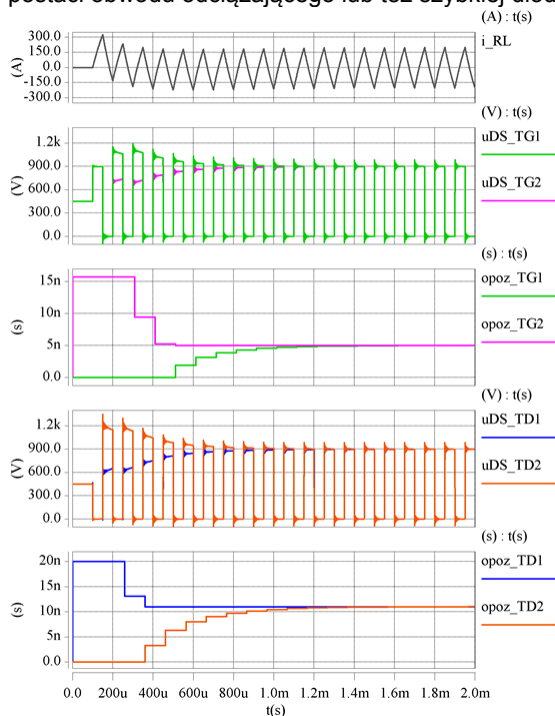
### Badania symulacyjne

Badania symulacyjne przeprowadzono w środowisku Saber, gdzie przebadano przekształtnik półmostkowy z obciążeniem RL (schemat obwodu symulacyjnego zaprezentowano na rysunku 5). Studium symulacyjne wykonano na rzeczywistych modelach modułów tranzystorowych CAS300M17BM2, opracowanych w narzędziu Saber Power MOSFET Tool. Parametry obwodu symulacyjnego zestawiono w tabeli 1.

Obciążenie RL dobrano w taki sposób, aby przy przyjętej częstotliwości przełączeń, maksymalny prąd obciążenia nie przekroczył prądu znamionowego badanego modułu równego 325 A. Rezystory  $R_s$  służą do wyrównywania napięć na szeregowo połączonych tranzystorach w stanie statycznym (gdy tranzystory nie są przełączane). Przyjmuje się, że wartość rezystancji  $R_s$  powinna wynosić ok. 10% rezystancji tranzystora w stanie wyłączenia [24]. Według noty katalogowej, rezystancja pojedynczego tranzystora w module CAS300M17BM2 wynosi od 425 k $\Omega$  do prawie 2,5 M $\Omega$ , w zależności od temperatury złącza. Z tego względu, do symulacji przyjęto wartość  $R_s$  na poziomie 100 k $\Omega$ . Wybrane przebiegi otrzymane podczas badań symulacyjnych zaprezentowano na rysunku 6.

Widoczne na rysunku 6 przebiegi w pracy przekształtnika bez modulacji potwierdzają poprawne działanie zaproponowanej aktywnej metody regulacji napięć na szeregowo połączonych tranzystorach. Dobrane eksperymentalnie nastawy regulatora PI ( $k_p = 5$ ,  $t_i = 70\mu$ ,  $T = 100\mu$ ) zapewniają niemal całkowitą eliminację nierównomiernego rozkładu napięć na tranzystorach tworzących łącznik po 8 cyklach łączeniowych, przy 1800 V po stronie wejściowej i ok. 200 A wartości maksymalnej prądu obciążenia. Układ regulacji działa poprawnie zarówno wtedy, gdy szybciej przełącza się dolny ( $T_{D2}$ ) i górny ( $T_{G1}$ ) tranzystor z pary tworzącej łącznik. Niedogodnością zaproponowanej metody jest co najmniej jeden okres opóźnienia w regulacji nierównomiernego rozkładu napięć - obliczone w danym okresie łączeniowym wartości opóźnień sygnałów sterujących mogą być zaimplementowane na

bramkach tranzystorów w kolejnym cyklu łączeniowym. Z tego względu metoda ta wymaga dodatkowego zabezpieczenia przez pierwszych kilka cykli łączeniowych, w postaci obwodu odciążającego lub też szybkiej diody TVS.



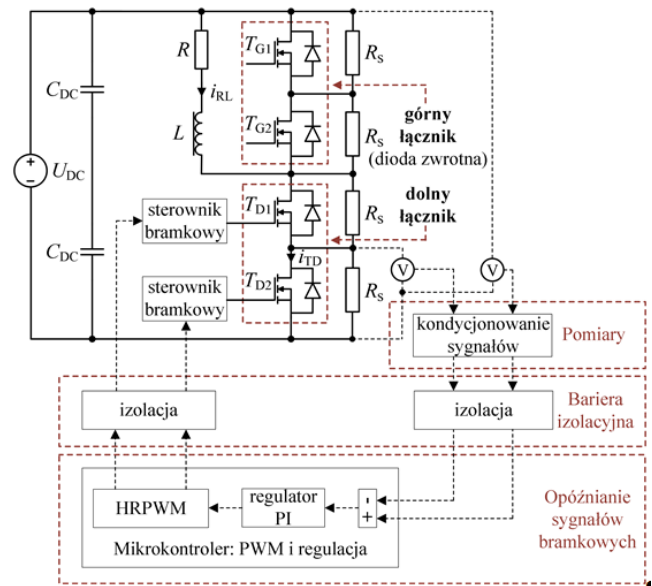
Rys. 6. Przebiegi uzyskane podczas badań symulacyjnych; od góry: prąd obciążenia ( $i_{RL}$ ), napięcia na tranzystorach górnego łącznika ( $u_{DSTG1}$ ,  $u_{DSTG2}$ ), opóźnienia sygnałów sterujących tranzystorów górnego łącznika ( $opoz_{TG1}$ ,  $opoz_{TG2}$ ), gdy początkowo sygnał sterujący tranzystorem  $T_{G2}$  opóźniony jest o 5 ns względem sygnału sterującego tranzystorem  $T_{G1}$ , napięcia na tranzystorach dolnego łącznika ( $u_{DSTD1}$ ,  $u_{DSTD2}$ ), opóźnienia sygnałów sterujących tranzystorów dolnego łącznika ( $opoz_{TD1}$ ,  $opoz_{TD2}$ ), gdy początkowo sygnał sterujący tranzystorem  $T_{D1}$  opóźniony jest o 11 ns względem sygnału sterującego tranzystorem  $T_{D2}$

### Układu laboratoryjny

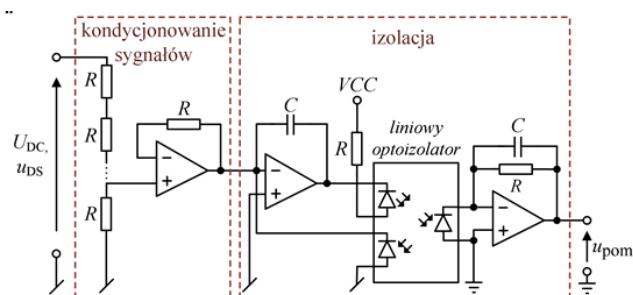
W celu eksperymentalnej weryfikacji zaproponowanej aktywnej metody wyrównywania napięć na szeregowo połączonych tranzystorach zbudowano prototypowy - uproszczony - układ laboratoryjny. Jego schemat blokowy przedstawiono na rysunku 7. Zarówno układ regulacji opóźnień sygnałów bramkowych jak i sygnały PWM zaimplementowano w mikroprocesorze TMS320F28379D. Było to możliwe dzięki wykorzystaniu modulatora PWM o wysokiej rozdzielczości (HRPWM). Schemat obwodu pomiarowego odpowiednich napięć przedstawiono na rysunku 8.

Kondycjonowanie sygnałów napięć dokonano przy wykorzystaniu dzielnika rezystancyjnego. Całkowita rezystancja pomiarowej drabinki rezystorowej była ok. 10 razy większa od rezystancji pojedynczego rezystora  $R_s$ . Do tranzystorów, na których nie dokonywano pomiarów także dołączono drabinki rezystorowe o takich samych, sumarycznych wartościach rezystancji, a każdy pomiar był buforowany przez wtórnik napięcia zbudowany w oparciu o wzmacniacz operacyjny (wszystkie wzmacniacze operacyjne użyte do budowy obwodów pomiarowych to szybkie układy LM7171). Dzięki temu układ pomiarowy nie wpływał na rozkład napięć w obwodzie mocy. Dodatkowo, takie rozwiązanie minimalizuje straty mocy w obwodzie pomiarowym oraz ogranicza wpływ zakłóceń z części silnoprądowej na dokładność pomiaru. Następnie, dzięki wykorzystaniu liniowego optoizolatora HCNR201, pomiar był izolowany od obwodu mocy i przesyłany na wejście

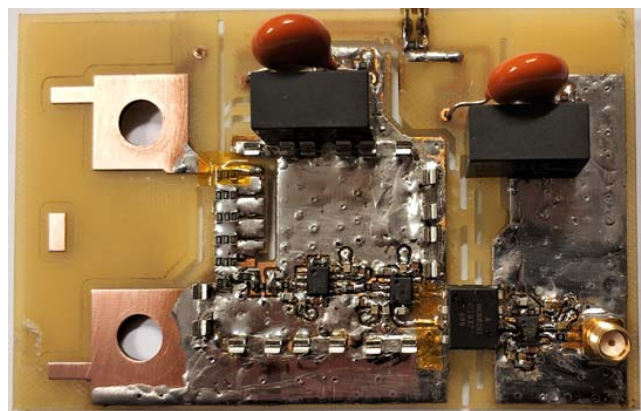
przetwornika ADC w mikroprocesorze ( $u_{pom}$ ). Odczytane napięcia były zamieniane na wartość uchybu, po czym przy wykorzystaniu regulatora PI obliczano zadane wartości opóźnień odpowiednich sygnałów bramkowych. Zmodyfikowane sygnały sterujące były wysyłane do sterowników bramkowych przy wykorzystaniu transmisji światłowodowej, która zapewniała izolację między układem sterowania, a obwodem mocy.



Rys. 7. Schemat blokowy zbudowanego układu prototypowego do wyrównywania napięć na szeregowo połączonych tranzystorach



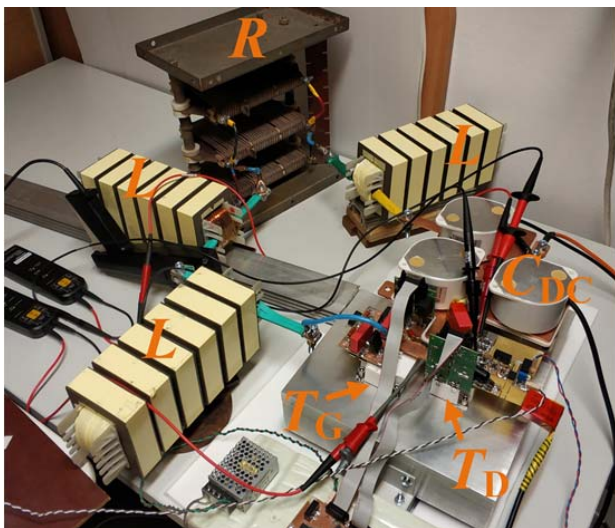
Rys. 8. Schemat obwodu pomiarowego napięć w obwodzie mocy



Rys. 9. Płytkę pomiarową napięcia wejściowego

W celu minimalizacji wpływu zakłóceń na mierzone wartości napięć, dużo uwagi poświęcono rozmieszczeniu wszystkich elementów na płytce. Minimalizowano indukcyjności i pojemności pasożytnicze. Szczególną

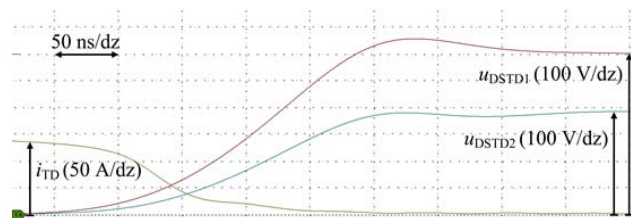
uwagę zwrócono na optymalne rozmieszczenie masy, zarówno po stronie niez izolowanej jak i izolowanej. W torach zasilania użyto kondensatorów przepustowych, poprawiających jakość zasilania wszystkich układów scalonych. Aby uniknąć zaburzeń wspólnych, wszystkie masy występujące w układzie prototypowym połączone przez kondensatory przeciwzakłóceniu typu Y1 lub Y2 do przewodu ochronnego sieci. Na rysunku 9 przedstawiono zdjęcie płytki pomiarowej napięcia stałego. Na rysunku 10 widoczne jest stanowisko laboratoryjne, na którym przeprowadzono eksperymenty.



Rys. 10. Stanowisko laboratoryjne

### Badania eksperymentalne

Pierwsze testy laboratoryjne przeprowadzono w topologii przekształtnika obniżającego napięcie z obciążeniem R (rysunek 7). W tabeli 2 zestawiono parametry obwodu mocy opisywanego układu laboratoryjnego.

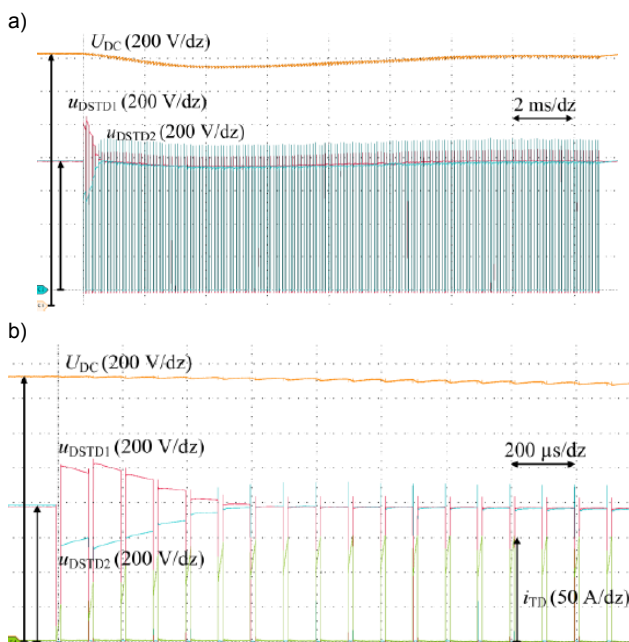


Rys. 11. Przebiegi napięć ( $u_{DSTD1}$ ,  $u_{DSTD2}$ ) i prądu ( $i_{TD}$ ) tranzystorów przy wyłączeniu dolnego łącznika bez kompensacji nierównomiernego rozkładu napięć, przy 1 kV w obwodzie napięcia stałego i wyłączanym prądzie 150 A

Rysunek 11 przedstawia przebiegi napięć i prądu tranzystorów tworzących dolny łącznik podczas testu bez kompensacji nierównomiernego rozkładu napięć. Aby nie uszkodzić modułu CAS300M17BM2, badania przeprowadzono dla napięcia 1 kV po stronie zasilającej. Wyłączany prąd był równy 150 A. Różnica napięć pomiędzy tranzystorami po wyłączeniu wyniosła 217 V, co stanowi 21,7% napięcia  $U_{DC}$ . Ze względu na większą stromość napięcia ( $du_{DS}/dt$ ) i związane z nią wyższe prądy przez pojemności doziemne, tranzystor  $T_{D1}$  wyłącza się szybciej, przez co odkłada się na nim wyższe napięcie. Podczas badań zmierzono również energie łączeniowe obu tranzystorów, których suma (tzn.  $E_{on\_TD1} + E_{on\_TD2} + E_{off\_TD1} + E_{off\_TD2}$ ) wyniosła 36,2 mJ (przy 1 kV/150 A). Czasy łączeniowe tranzystora  $T_{D2}$  (wolniejszego) wyniosły odpowiednio:  $t_{on} = 458$  ns,  $t_{off} = 90$  ns.

Tabela 2. Parametry obwodu mocy układu laboratoryjnego

Element	Wartość
$U_{DC}$	0-1500 [V]
$T_{GX}, T_{DX}$	CAS300M17BM2
$C_{DC}$	300 [ $\mu$ F]
$L$	330 [ $\mu$ H]
$R$	1,8 [ $\Omega$ ]
$R_s$	100 [k $\Omega$ ]



Rys. 12. Przebiegi napięcia w obwodzie zasilającym ( $U_{DC}$ ), napięć ( $u_{DSTD1}$ ,  $u_{DSTD2}$ ) i prądu ( $i_{TD}$ ) tranzystorów dolnego łącznika z częstotliwością  $f_s = 10$  kHz z wykorzystaniem aktywnej metody kompensacji nierównomiernego rozkładu napięć na szeregowo połączonych tranzystorach, przy 1,5 kV w obwodzie napięcia stałego i maksymalnym wyłączanym prądzie 150 A w skali: a) 2 ms/dz, b) 200  $\mu$ s/dz

Na rysunku 12 widoczne są przebiegi napięcia zasilania  $U_{DC}$  oraz napięć i prądu tranzystorów dolnego łącznika podczas pracy w układzie obniżającym napięcie, z wykorzystaniem aktywnej metody wyrównywania napięć. Tranzystory górnego łącznika były na stałe wyłączone (wykorzystano diody zwrotne), podczas gdy tranzystory dolnego łącznika były przełączane z częstotliwością  $f_s = 10$  kHz. Maksymalne przełączane napięcie wyniosło 1500 V. Wartości indukcyjności ( $L$ ) oraz rezystancji ( $R$ ) zostały dobrane tak, aby przy założonym napięciu zasilającym, prąd  $i_{RL}$  nie przekroczył 150 A. Widać, że układ regulacji był w stanie wyeliminować uchyb po 6 cyklach łączeniowych. W stanie ustalonym największa zarejestrowana różnica między  $u_{DSTD1}$  i  $u_{DSTD2}$  wyniosła 13 V co stanowi 0,87% napięcia wejściowego. Podczas stanu nieustalonego, maksymalny uchyb wyniósł 484 V (32,3% napięcia  $U_{DC}$ ). Szczytowa wartość  $u_{DSTD1}$  (1018 V) nie jest jednak krytyczna z punktu widzenia przebiecia tranzystora SiC MOSFET w module CAS300M17BM2. W celu optymalizacji zaproponowanej aktywnej metody wyrównywania napięć, stan nieustalony wymaga dalszych badań.

Aby oszacować wpływ zaprezentowanego układu regulacji na czasy i straty łączeniowe, przeprowadzono także badania energii łączeniowych dla warunków jak dla testu bez regulacji. Zmierzona, sumaryczna energia łączeniowa przełączanych tranzystorów wyniosła 35,9 mJ, a czasy łączeniowe tranzystora  $T_{D2} - t_{on} = 447$  ns,  $t_{off} = 91$  ns. Można uznać, że przeprowadzone badania eksperymentalne potwierdziły, iż zaproponowana metoda kompensacji rozkładu napięć na szeregowo połączonych

tranzystorach działa poprawnie oraz nie zwiększa czasów i energii łączeniowych półprzewodników.

## Podsumowanie

W niniejszej pracy zaprezentowano aktywną metodę wyrównywania napięć na szeregowo połączonych tranzystorach SiC MOSFET w łączniku o klasie napięciowej 3,3 kV. Badania symulacyjne, poparte badaniami laboratoryjnymi potwierdziły właściwości przedstawionego układu regulacji – odpowiednio zmieniając czasy opóźnień sygnałów brankowych poszczególnych tranzystorów, można niemal idealnie skompensować nierównomierny rozkład napięć, nie wpływając przy tym na czasy i energie łączeniowe. Zaprezentowane oscylogramy udowadniają, że wykorzystując szeregowo połączone tranzystory oraz przedstawiony układ regulacji można z dużą sprawnością i częstotliwością przełączać napięcia rzędu 1,5 kV i prądy przekraczające 100 A bez ryzyka uszkodzenia elementów półprzewodnikowych. Takie rozwiązanie jest też obecnie znacznie tańsze, w porównaniu ze stosowaniem tranzystorów SiC MOSFET o klasie napięciowej 3,3 kV.

Na dalszym etapie badań planowane jest uruchomienie układu regulacji w pełnej topologii półmostkowej. Warty dogłębnej analizy jest też zagadnienie stanu nieustalonego zaproponowanej metody aktywnej, w celu minimalizacji ryzyka wystąpienia niebezpiecznej wartości napięcia, na którymkolwiek z szeregowo połączonych tranzystorów. Finalnie, planowane jest zbudowanie przekształtnika średniego napięcia, wykorzystującego zintegrowany sterownik brankowy z zaimplementowanym, zaprezentowanym sposobem regulacji w układzie FPGA, będącym integralną częścią sterownika brankowego.

Niniejsza praca powstała w ramach projektu Narodowego Centrum Nauki numer 2017/27/B/ST7/00970

**Autor:** mgr. inż. Przemysław Trochimiuk, Politechnika Warszawska, Instytut Sterowania i Elektroniki Przemysłowej, ul. Koszykowa 75, 00-662 Warszawa, E-mail: [przemyslaw.trochimiuk@ee.pw.edu.pl](mailto:przemyslaw.trochimiuk@ee.pw.edu.pl)

## LITERATURA

- [1] Palmour J. W. *et al.*, Silicon carbide power MOSFETs: Breakthrough performance from 900 V up to 15 kV, *2014 IEEE 26th International Symposium on Power Semiconductor Devices & IC's (ISPSD)*, Waikoloa, HI, 2014, pp. 79-82
- [2] Rabkowski J., Peftitsis D., Nee H., Silicon Carbide Power Transistors: A New Era in Power Electronics Is Initiated, in *IEEE Industrial Electronics Magazine*, vol. 6, no. 2, pp. 17-26, June 2012
- [3] Mai T., Van den Broeck G., Pevere A., Driesen J., Power electronics for potential distribution dc power evolution: A review, *2016 IEEE International Energy Conference (ENERGYCON)*, Leuven, 2016, pp. 1-6
- [4] Kouba D., Kolar L., Celeda J., Jurik M., MV grids development and automation, in *CIREN - Open Access Proceedings Journal*, vol. 2017, no. 1, pp. 2440-2443, 10 2017
- [5] Giannakis A., Peftitsis D., MVDC Distribution Grids and Potential Applications: Future Trends and Protection Challenges, *2018 20th European Conference on Power Electronics and Applications (EPE'18 ECCE Europe)*, Riga, 2018, pp. P.1-P.9
- [6] Nguyen T., Yoo H., Kim H., A comparison study of MVDC and MVAC for deployment of distributed wind generations, *2016 IEEE International Conference on Sustainable Energy Technologies (ICSET)*, Hanoi, 2016, pp. 138-141
- [7] Ravi B., Raval S., Rudraraju V. R. R., Nagamani C., Performance analysis of MVAC and MVDC offshore wind farm distribution system using direct load flow method, *2016 2nd International Conference on Advances in Electrical, Electronics, Information, Communication and Bio-Informatics (AEEICB)*, Chennai, 2016, pp. 341-346
- [8] Madhusoodhanan S. *et al.*, Solid-State Transformer and MV Grid Tie Applications Enabled by 15 kV SiC IGBTs and 10 kV SiC MOSFETs Based Multilevel Converters, in *IEEE Transactions on Industry Applications*, vol. 51, no. 4, pp. 3343-3360, July-Aug. 2015
- [9] Huang A. Q., Zhu Q., Wang L., Zhang L., 15 kV SiC MOSFET: An enabling technology for medium voltage solid state transformers, in *CPSS Transactions on Power Electronics and Applications*, vol. 2, no. 2, pp. 118-130, 2017
- [10] Qawasmi A., Teichrib J., Venkatesh N., De Doncker R. W., A New Thyristor-Based Power Electronic Device for DC Circuit Breakers in Medium-Voltage Applications, *2018 9th IEEE International Symposium on Power Electronics for Distributed Generation Systems (PEDG)*, Charlotte, NC, 2018, pp. 1-6
- [11] Mirzaee H., De A., Tripathi A., Bhattacharya S., Design Comparison of High-Power Medium-Voltage Converters Based on a 6.5-kV Si-IGBT/Si-PiN Diode, a 6.5-kV Si-IGBT/SiC-JBS Diode, and a 10-kV SiC-MOSFET/SiC-JBS Diode, in *IEEE Transactions on Industry Applications*, vol. 50, no. 4, pp. 2728-2740, July-Aug. 2014
- [12] Rabkowski J., Sobieski R., Zdanowski M. and Piasecki S.: 3.3 kV/ 450 A SiC MOSFET Module - Modelling and Experiments, *2018 20th European Conference on Power Electronics and Applications (EPE'18 ECCE Europe)*, Riga, 2018, pp. P.1-P.9.
- [13] Johnson B., Pike G.E., Preparation of Papers for Transactions, *IEEE Trans. Magn.*, 50 (2002), n.5, 133-137
- [13] Marzoughi A., Wang J., Burgos R., Boroyevich D., Characterization and Evaluation of the State-of-the-Art 3.3-kV 400-A SiC MOSFETs, in *IEEE Transactions on Industrial Electronics*, vol. 64, no. 10, pp. 8247-8257, Oct. 2017
- [14] Wang L., Zhang D., Wang Y., High performance solid-state switches using series-connected SiC-MOSFETs for high voltage applications, *2016 IEEE 8th International Power Electronics and Motion Control Conference (IPEMC-ECCE Asia)*, Hefei, 2016, pp. 1674-1679
- [15] Ve Chalapu K., Hazra S., Raheja U., Negi A., Bhattacharya S., High-speed medium voltage (MV) drive applications enabled by series connection of 1.7 kV SiC MOSFET devices, *2017 IEEE Energy Conversion Congress and Exposition (ECCE)*, Cincinnati, OH, 2017, pp. 808-815
- [16] Ve Chalapu K., Bhattacharya S., Aleoiza E., Performance evaluation of series connected 1700V SiC MOSFET devices, *2015 IEEE 3rd Workshop on Wide Bandgap Power Devices and Applications (WIPDA)*, Blacksburg, VA, 2015, pp. 184-191
- [17] Shammas N. Y. A., Withanage R., Chamund D., Review of series and parallel connection of IGBTs, in *IEE Proceedings - Circuits, Devices and Systems*, vol. 153, no. 1, pp. 34-39, Feb. 2006
- [18] Peftitsis D., Rabkowski J., Nee H., Undeland T., Challenges on drive circuit design for series-connected SiC power transistors, *2016 European Conference on Silicon Carbide & Related Materials (ECSCRM)*, Halkidiki, 2016, pp. 1-1
- [19] Marzoughi A., Burgos R., Boroyevich D., Active Gate-Driver With dv/dt Controller for Dynamic Voltage Balancing in Series-Connected SiC MOSFETs, in *IEEE Transactions on Industrial Electronics*, vol. 66, no. 4, pp. 2488-2498, April 2019
- [20] Lee I., Yao X., Active gate control for series connected SiC MOSFETs, *2019 IEEE Applied Power Electronics Conference and Exposition (APEC)*, Anaheim, CA, USA, 2019, pp. 453-457
- [21] Parashar S., Bhattacharya S., A Novel Gate Driver for Active Voltage Balancing in 1.7kV Series Connected SiC MOSFETs, *2019 IEEE Applied Power Electronics Conference and Exposition (APEC)*, Anaheim, CA, USA, 2019, pp. 2773-2779
- [22] Wang P., Gao F., Jing Y., Hao Q., Li K., Zhao H., An Integrated Gate Driver with Active Delay Control Method for Series Connected SiC MOSFETs, *2018 IEEE 19th Workshop on Control and Modeling for Power Electronics (COMPEL)*, Padua, 2018, pp. 1-6
- [23] Zhang Z. *et al.*, High precision gate signal timing control based active voltage balancing scheme for series-connected fast switching field-effect transistors, *2018 IEEE Applied Power Electronics Conference and Exposition (APEC)*, San Antonio, TX, 2018, pp. 925-930
- [24] Chen J., Lin J., Ai T., The techniques of the serial and paralleled IGBTs, *Proceedings of the 1996 IEEE IECON. 22nd International Conference on Industrial Electronics, Control, and Instrumentation*, Taipei, Taiwan, 1996, pp. 999-1004 vol.2.