

Weryfikacja mocy strat w obwodzie bramkowym wybranych tranzystorów MOSFET na bazie Si i SiC

Streszczenie. W artykule przedstawiono wyniki pomiarów mocy strat w obwodzie bramkowym dla tranzystorów MOSFET na bazie Si: APT5010JFLL, IXFN44N80P oraz APT40SM120J na bazie SiC. Pomiary były wykonywane w układzie falownika klasy DE w przedziale częstotliwości od 275 kHz do 525 kHz i przy napięciu zasilania falownika $E=0$ V i $E=300$ V. Wyniki pomiarów porównano z wynikami obliczeń mocy strat na podstawie danych katalogowych. Wykazano rozbieżności wyników i podano możliwe przyczyny.

Abstract. Measurement results of power losses in the gate circuit in Si: APT5010JFLL, IXFN44N80P and SiC: APT40SM120J MOSFET transistors are presented in the paper. Measurements were taken in class DE inverter configuration in frequency range from 275 kHz to 525 kHz and with inverter supply voltage $E=0$ V and $E=300$ V. The article contains also the comparison of evaluated power loss values, based on datasheets, with laboratory results. (Verification of power losses in the gate circuit in selected MOSFET transistors based on Si and SiC).

Słowa kluczowe: straty mocy, MOSFET, obwód bramkowy, SiC

Keywords: power losses, MOSFET, gate circuit, SiC.

Wprowadzenie

W przekształtnikach wysokiej częstotliwości (kilkaset kHz i powyżej) wykorzystujących tranzystory MOSFET, szczególnie ważne jest odpowiednie zaprojektowanie drajwera, czyli sterownika bramkowego. Drajwer tranzystora powinien charakteryzować się możliwie niską indukcyjnością wyjściową [1,2,3] - można to zwykle zapewnić poprzez dobór odpowiedniego, dedykowanego układu scalonego (drajwer scalony) oraz zwarte rozmieszczenie elementów na obwodzie PCB.

Podczas projektowania drajwera należy również zwrócić uwagę na jego pobór mocy. Drajwer tranzystora jest najczęściej izolowany od elektroniki sterującej i zasilany jest separowanym napięciem. Izolacja ta sprawia pewne problemy. Do wytworzenia separowanego napięcia zasilania drajwera wysokiej częstotliwości nie może zostać użyty transformator sieciowy, gdyż posiada on zbyt dużą pojemność między stroną pierwotną i wtórną. Pojemność ta w połączeniu ze stromymi zboczami napięcia w obwodzie głównym, może spowodować problemy z kompatybilnością elektromagnetyczną oraz zakłócanie elektroniki sterującej. Na rynku są dostępne przetwornice posiadające bardzo małą pojemność między stroną pierwotną i wtórną <5 pF (np. NMJ1215SAC). Ich wadą jest wysoka cena oraz mała moc wyjściowa. Cena i pobór mocy będzie decydować czy do wytworzenia izolowanego napięcia będzie można zastosować dedykowaną przetwornicę czy zaprojektować własną na elementach dyskretnych.

Analiza mocy strat w obwodzie bramkowym pozwala również na weryfikację przyrostu temperatury rezystora bramkowego oraz drajwera scalonego. W układach wysokich częstotliwości stosuje się równoległe połączenie kilku rezystorów bramkowych, celem zmniejszenia indukcyjności doprowadzeń. Rozmiarowo mniejsze rezystory mają mniejsze indukcyjności, ale również mniejszą moc znamionową.

Na rynku są dostępne tranzystory MOSFET na bazie węgla krzemu (SiC). Posiadają one znacznie mniejszą rezystancję drenu oraz mniejsze pojemności pasywnicze niż odpowiedniki krzemowe w tej samej klasie napięciowej. Różnią się jednak napięciem sterującym V_{GS} , które jest wyższe i wynosi zwykle $+20/-5$ V. Posiadają również mniejszą transkonduktancję, czyli zmiana napięcia bramkowego powoduje mniejszą zmianę prądu drenu.

Celem artykułu jest weryfikacja mocy strat w obwodzie bramkowym tranzystorów na bazie krzemu (APT5010JFLL, IXFN44N80P) i węgla krzemu

(APT40SM120J), w oparciu o dane katalogowe oraz własne pomiary laboratoryjne.

Pojemności pasywnicze i moc strat w obwodzie bramkowym

Zmniejszenie rezystancji drenu, a zatem zwiększenie obciążalności prądowej tranzystora, powoduje wzrost pasywniczych pojemności - wynika to z technologii wytwarzania tranzystorów.

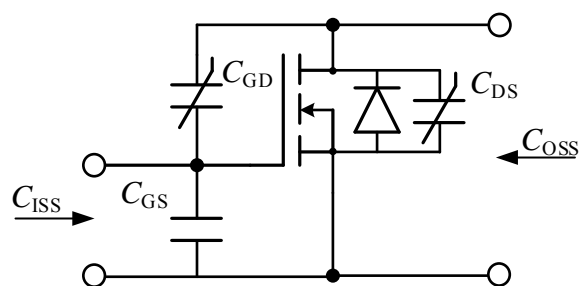
Rozmieszczenie pojemności pasywniczych tranzystora MOSFET przedstawione jest na rysunku 1. Wartości pojemności C_{DS} i C_{GD} są nieliniowe, zależne od napięcia drenu V_{DS} . W kartach katalogowych tranzystorów MOSFET pojemności pasywnicze oznaczane są, jako trzy wartości:

$$C_{RSS} = C_{GD}$$

$$C_{ISS} = C_{GS} + C_{RSS}$$

$$C_{OSS} = C_{DS} + C_{RSS}$$

Wartości pojemności C_{OSS} , C_{RSS} i C_{ISS} podawane są w formie charakterystyk w funkcji napięcia V_{DS} lub/i przy danym napięciu V_{DS} .



Rys. 1. Pojemności pasywnicze tranzystora MOSFET

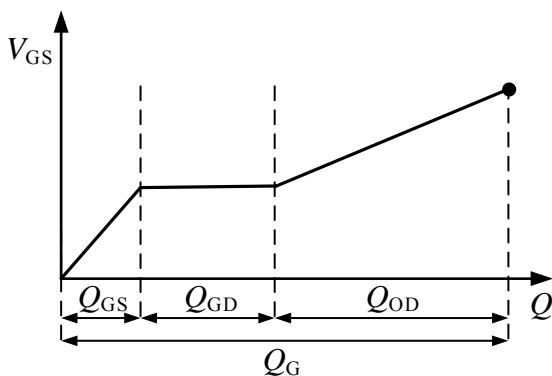
Na podstawie wartości pojemności C_{ISS} można oszacować moc strat w obwodzie bramkowym tranzystora MOSFET. Zakładając zerowe napięcie drenu $V_{DS}=0$ V, moc strat P_{Q0} związaną z przeładowywaniem pojemności wejściowej C_{ISS} można przedstawić za pomocą zależności (1).

$$(1) \quad P_{Q0} = C_{ISS} \cdot f V_{GS}^2$$

gdzie: V_{GS} – wartość międzyszczytowa napięcia sterującego bramką, f – częstotliwość sygnału sterującego

W przypadku, gdy tranzystor przełącza się przy niezerowym napięciu $V_{DS} \neq 0$ V, zależność (1) nie uwzględnia dodatkowej mocy strat związanej z tak zwanym efektem Millera. Efekt Millera polega na tym, że drajwer tranzystora musi poza pojemnością C_{GS} , dodatkowo przeładować pojemność C_{GD} . Podczas przełączeń napięcie na pojemności C_{GD} zmienia się o wartość zbliżoną do V_{DS} .

W celu uwzględnienia dodatkowej mocy strat związanej z efektem Millera, w kartach katalogowych podawany jest całkowity ładunek bramki Q_G . Przedstawiany jest, jako pojedyncza wartość dla danego punktu pracy tranzystora (napięcie V_{GS} i V_{DS}), bądź w formie charakterystyk jak na rysunku 2.



Rys.2. Charakterystyka ładunku bramki

Całkowity ładunek bramki można rozłożyć na trzy ładunki składowe, wynikające ze stanu, w jakim znajduje się tranzystor.

Q_{GS} – ładunek wynikający z ładowania pojemności wejściowej przed załączeniem tranzystora,

Q_{GD} – ładunek wynikający z ładowania pojemności C_{GD} w czasie przełączenia (efekt Millera),

Q_{OD} – ładunek wynikający z ładowania pojemności wejściowej po załączeniu tranzystora.

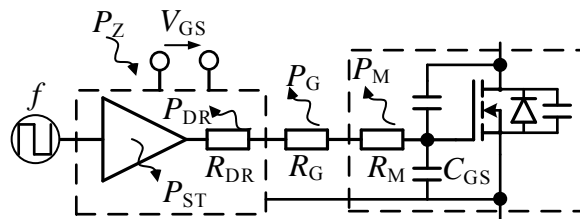
Moc strat P_Q związaną z przeładowywaniem pojemności wejściowej C_{ISS} , z uwzględnieniem efektu Millera określa zależność (2). Straty P_Q nie są zależne od wypadkowej rezystancji obwodu bramkowego R_W , pod warunkiem, że następuje całkowite przeładowanie pojemności C_{ISS} i w obwodzie bramkowym nie ma oscylacji (R_W większe od rezystancji krytycznego tłumienia obwodu RLC)

$$(2) \quad P_Q = Q_G f V_{GS}$$

Całkowitą moc strat P_Z w obwodzie bramkowym określa zależność (3). Są to straty P_Q związane z przeładowywaniem C_{ISS} , powiększone o straty P_{ST} nieobciążonego drajwera scalonego (straty jałowe). Straty jałowe zależne są od częstotliwości przełączeń f i napięcia zasilania drajwera scalonego V_{GS} .

$$(3) \quad P_Z = f Q_G V_{GS} + P_{ST} = P_Q + P_{ST}$$

Wyróżnia się trzy rezystancje w obwodzie bramki. Rezystancję wyjściową drajwera R_{DR} , rezystancję dodatkową R_G i rezystancję bramki tranzystora R_M . Znając moc strat P_Z i P_{ST} można obliczyć rozkład strat na poszczególnych rezystancjach obwodu bramkowego według zależności (4-6). Warto zwrócić uwagę na moc strat w dedykowanym drajwerze i upewnić się czy jego dopuszczalna temperatura złącza nie została przekroczona. Korzystne jest, aby większość mocy strat wydzielala się na dodatkowej rezystancji R_G lub w drugiej kolejności na rezystancji bramki tranzystora R_M . Uproszczony schemat obwodu bramkowego przedstawiony jest na rysunku 3.



Rys.3. Uproszczony schemat obwodu bramkowego

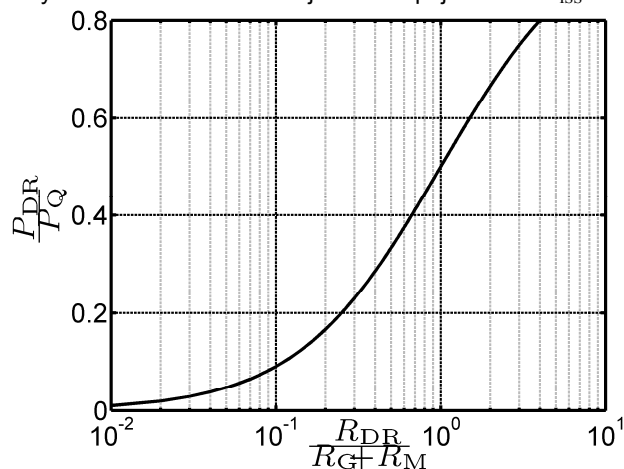
$$R_W = R_{DR} + R_G + R_M$$

$$(4) \quad P_{DR} = \frac{R_{DR}}{R_W} P_Q$$

$$(5) \quad P_G = \frac{R_G}{R_W} P_Q$$

$$(6) \quad P_M = \frac{R_M}{R_W} P_Q$$

Względną moc strat w rezystancji wyjściowej drajwera scalonego można przedstawić w formie charakterystyki (rys. 4). Jak można zauważyć, rozkład strat jest silnie zależny od stosunku rezystancji drajwera do sumy pozostałych dwóch rezystancji. Wybierając drajwer dedykowany należy sugerować się nie tylko maksymalnym prądem wyjściowym, ale również rezystancją wyjściową. Zestawienie wybranych drajwerów scalonych znajduje się w tabeli 1. Zestawione drajwery scalone są dedykowane do tranzystorów MOSFET o dużej wartości pojemności C_{ISS} .



Rys.4. Względna moc strat w drajwerze scalonym

Tabela 1. Zestawienie drajwerów scalonych [5, 6, 7, 8, 9]

Typ układu	Szczytowa wydajność prądowa A	Rezystancja wyjściowa, stan wysoki Ω	Rezystancja wyjściowa, stan niski Ω
IXD_609	9	0.6	0.4
TC4422	9	1.4	0.9
TC4452	13	1	0.9
IXD_614	14	0.4	0.3
IXD_630	30	0.17	0.16

Warto nadmienić, że rezystancja wyjściowa w stanie wysokim R_{DRH} i niskim R_{DRL} często się różni. Moc strat P_{DR} po uwzględnieniu różnych od siebie rezystancji R_{DRH} i R_{DRL} określa zależność (7).

$$(7) P_{DR} = \frac{P_Q}{2} \left(\frac{R_{DRH}}{R_{DRH} + R_G + R_M} + \frac{R_{DRL}}{R_{DRL} + R_G + R_M} \right)$$

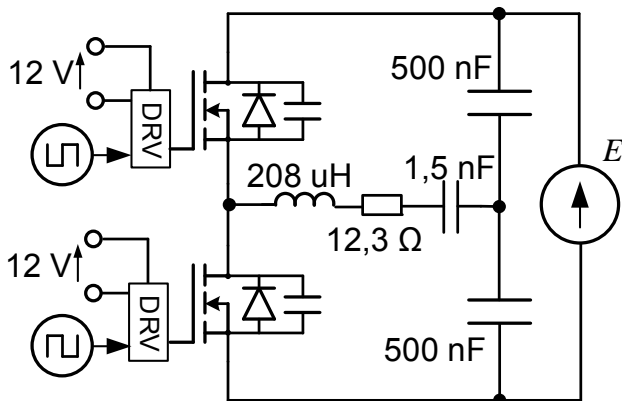
Układ pomiarowy

Najważniejsze parametry badanych tranzystorów zestawiono w tabeli 2. Tranzystory zostały wybrane ze względu na ich zastosowanie w falowniku klasy DE (niska pojemność wyjściowa C_{OSS}) oraz zbliżone parametry energetyczne.

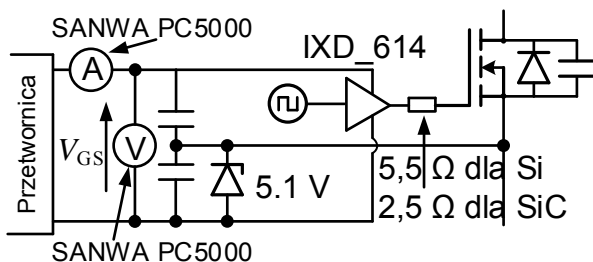
Tabela 2. Zestawienie badanych tranzystorów [10, 11, 12]

Symbol	I_D A	V_{DS} V	C_{ISS} pF	Q_G nC	$C_{OSS(25V)}$ pF
APT5010JFLL (Si)	41	500	4360	139 (+12/-5 V)	895
IXFN 44N80P (Si)	39	800	12000	254 (+12/-5 V)	910
APT40SM120J (SiC)	32	1200	2085	133 (+20/-5 V)	500

Układ pomiarowy przedstawiony jest na rysunkach 5, 6. Składa się on z falownika klasy DE dedykowanego do nagrzewania indukcyjnego (opisany szczegółowo w [4]) oraz z drajwerów zbudowanych w oparciu o dyskretną przetwornicę napięcia i drajwer scalony IXD_614. Rezystory bramkowe R_G wynosiły odpowiednio 5,5 Ω dla tranzystorów krzemowych i 2,5 Ω dla tranzystorów z węgla krzemu. Niższa wartość rezystancji bramkowej dla tranzystorów na bazie SiC została wybrana, ze względu na ich wyższą wewnętrzną rezystancję bramkową R_M , w porównaniu do tranzystorów krzemowych. Obciążeniem falownika jest układ dopasowania o parametrach zastępczych przedstawionych na rysunku 5. Pomiar prądu i napięcia dokonywany był za pomocą multimetrów SANWA PC5000. Niepewność standardowa względna pomiaru mocy to około $w(P)=0,363\%$.



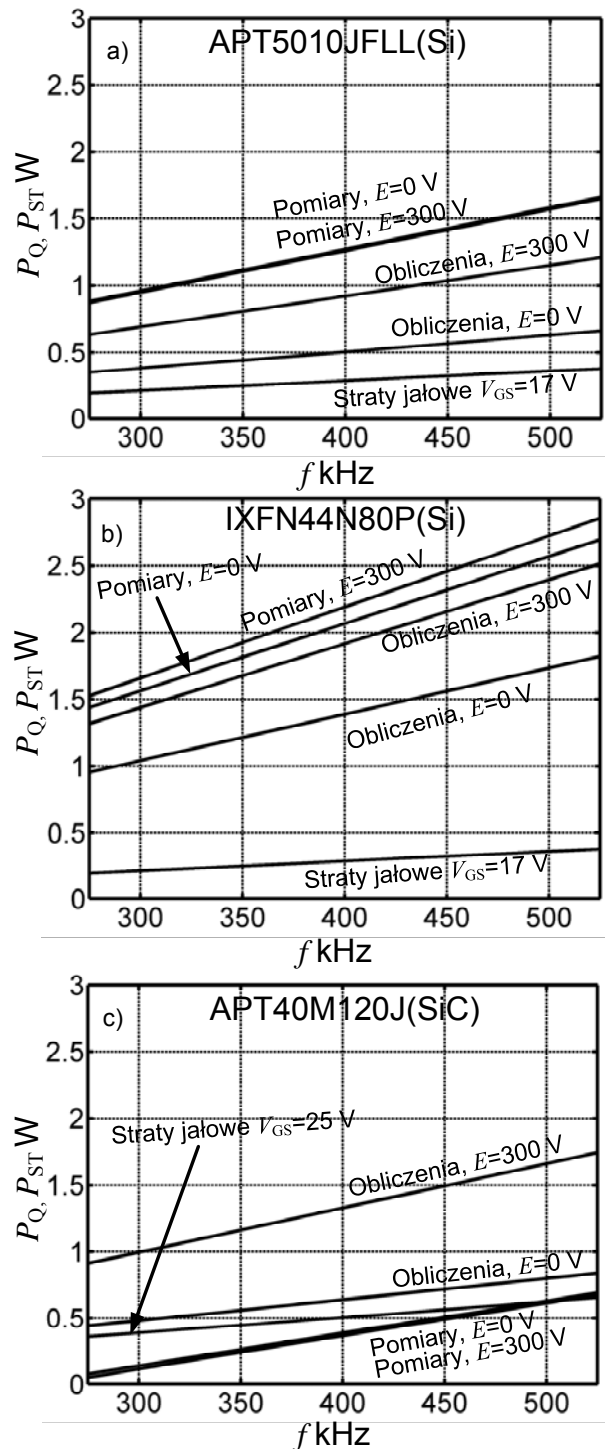
Rys.5. Układ pomiarowy, falownik klasy DE dedykowany do nagrzewania indukcyjnego



Rys.6. Układ pomiarowy, drajwer dolnego tranzystora

Zestawienie wyników pomiarów i obliczeń

Na rysunku 7 znajdują się charakterystyki mocy strat wybranych tranzystorów, uzyskane na podstawie pomiaru przy napięciu zasilania falownika $E=0$ V i $E=300$ V oraz obliczone na podstawie zależności (1) i (2).



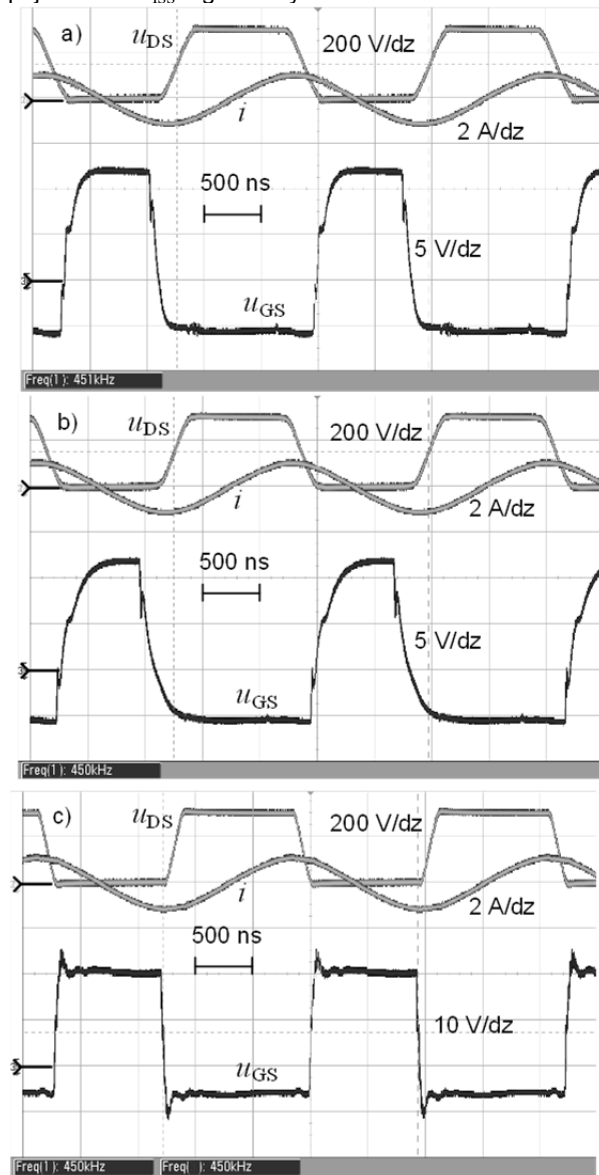
Rys.7. Charakterystyki mocy strat P_Q w obwodzie bramkowym: wybranych tranzystorów

Pomiarów dokonywano w zakresie częstotliwości f od 275 kHz do 525 kHz. Zakres częstotliwości został wybrany ze względu na jego powszechne zastosowanie w nagrzewaniu indukcyjnym. Napięcia bramkowe wynosiły odpowiednio +12/-5 V dla tranzystorów krzemowych (APT5010JFLL i IXFN44N80P) i +20/-5 V dla tranzystorów z węgla krzemu (APT40SM120J). Tak więc napięcia międzyszczytowe bramki V_{GS} wynosiły odpowiednio 17 V

i 25 V. W pierwszej kolejności zmierzono moc strat P_{ST} przy nieobciążonym drajwerze (straty jałowe). Następnie dokonano pomiarów mocy P_Z pobieranej przez drajwer obciążony tranzystorami przy napięciu zasilania falownika $E=0\text{ V}$ oraz $E=300\text{ V}$. Moc strat wynikającą z przeładowywania tranzystorów obliczono z zależności $P_Q=P_Z-P_{ST}$.

Na rysunku 7 znajdują się również charakterystyki wyznaczone teoretycznie na podstawie danych z kart katalogowych tranzystorów. Przypadek dla $E=0\text{ V}$ obliczono na podstawie zależności (1), a przypadek dla $E=300\text{ V}$ z zależności (2).

Przebiegi czasowe napięć u_{DS} , u_{GS} oraz prądu wyjściowego i falownika dla częstotliwości 450 kHz zamieszczono na rysunku 8. Tranzystory APT40SM120J mają najmniejsze wartości pojemności pasożytniczych z wybranych tranzystorów, co widać na przebiegach na rysunku 8c. Pojemności wyjściowe tranzystorów C_{OSS} przeładowują się szybciej (przebieg u_{DS}). Na przebiegu u_{GS} widoczne jest niewielkie przesterowanie spowodowane wyborem mniejszej rezystancji zewnętrznej R_G drajwera tranzystora APT40SM120J oraz niewielką wartością pojemności C_{ISS} tego tranzystora.



Rys.8. Przebiegi czasowe dla częstotliwości $f=450\text{ kHz}$ z: a) APT5010JFLL, b) IXFN44N80P, c) APT40SM120J

Podsumowanie

W tabeli 3 przedstawiono błędy oszacowania obliczonej mocy strat P_{QO} względem wyników pomiarów laboratoryjnych P_{QP} . Błędy oszacowania liczone są według zależności (8) dla częstotliwości $f=400\text{ kHz}$.

$$(8) \quad \delta = \frac{P_{QO} - P_{QP}}{P_{QP}} \cdot 100\%$$

Tabela 3. Zestawienie błędów względnych oszacowania mocy strat w obwodzie bramkowym tranzystorów dla $f=400\text{ kHz}$

Symbol	$E=0\text{ V}$	$E=300\text{ V}$
APT5010JFLL (Si)	-60,3%	-27,5%
IXFN 44N80P (Si)	-32,8%	-12,5%
APT40SM120J (SiC)	66,5%	245,5%

Dla założonych napięć bramkowych V_{GS} i częstotliwości f , napięcie zasilania E nie wpływa znacząco na moc strat P_Q w obwodzie bramkowym. Obliczone wartości mocy strat P_{QO} na podstawie danych z kart katalogowych odbiegają od wyników pomiarów laboratoryjnych P_{QP} . Dla tranzystora APT40SM120J obserwuje się, że straty zmierzone są znacznie mniejsze niż straty obliczone. Upatruje się trzy możliwe przyczyny:

- całkowity ładunek bramki Q_G podany w karcie katalogowej został niedokładnie wyznaczony,
- przełączanie ZVS tranzystora powoduje zmniejszenie wartości strat w porównaniu do przełączania twardego, jakie występuje w katalogowym układzie pomiarowym,
- wartości katalogowe są wartościami uśrednionymi z pewnej ilości badanych sztuk i może istnieć znaczne odchylenie standardowe.

Autorzy: mgr inż. Krzysztof Przybyła, Politechnika Śląska, Katedra Energoelektroniki, Napędu Elektrycznego i Robotyki, ul. Bolesława Krzywoustego 2, 44-100 Gliwice, E-mail: krzysztof.przybyla@polsl.pl

LITERATURA

- [1] IXYS, MOSFET/IGBT Drivers Theory and Applications, nota aplikacyjna, AN-401-R02, 2012
- [2] Legutko P., Wysokoczęstotliwościowe drajwery tranzystorów MOSFET mocy, Przegląd Elektrotechniczny, ISSN 0033-2097, R. 90 NR 5/2014, s. 229-234
- [3] Haehre K., Simon C., Wild B., Kling R., Heering W., Design of a 5-MHz-Gate-Driver for SiC-MOSFETs, 7th IET International Conference on Power Electronics, Machines and Drives (PEMD 2014)
- [4] Kasprzak M., Falownik klasy D-ZVS 300 kHz / 1,5 kW do nagrzewania indukcyjnego – możliwości pracy w klasie D i DE, Przegląd Elektrotechniczny, ISSN 0033-2097, R. 89 NR 4/2013, s. 29-32
- [5] Dokumentacja techniczna drajwera scalonego TC4422, DS20001420F, 2014
- [6] Dokumentacja techniczna drajwera scalonego TC4452, DS20001987C, 2014
- [7] Dokumentacja techniczna drajwera scalonego IXD_609, DS-IXD_609-R08, 2017
- [8] Dokumentacja techniczna drajwera scalonego IXD_614, DS-IXD_614-R07, 2017
- [9] Dokumentacja techniczna drajwera scalonego IXD_630, DS-IXD_630-R04, 2017
- [10] Dokumentacja techniczna tranzystora APT5010JFLL, Rev E, 2004
- [11] Dokumentacja techniczna tranzystora IXFN44N80P, DS99503E(06/06), 2006
- [12] Dokumentacja techniczna tranzystora APT40SM120J, Rev A, 2014